



(11) Publication number: **2001308291 A**

Generated Document

(21) Application number: 2001031215

(51) Intl. Cl.: H01L 27/105 G11C 11/22 H01L 21/8247
H01L 29/788 H01L 29/792

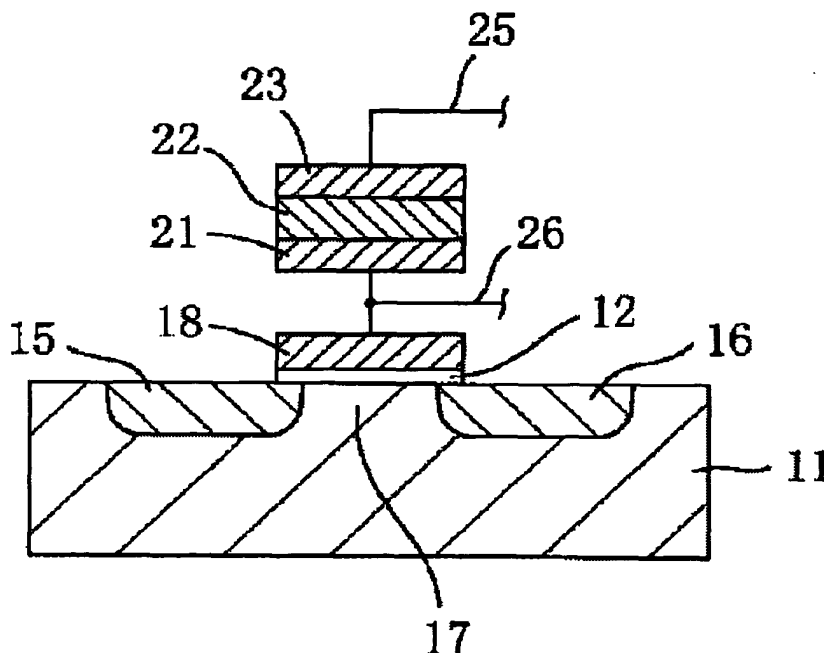
(22) Application date: 07.02.01

**(54) SEMICONDUCTOR
STORAGE DEVICE, ITS DRIVE
METHOD AND ITS
MANUFACTURING METHOD**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor storage device high in reading precision of data by utilizing the polarization state of a ferroelectric substance film, its drive method and its manufacturing method.

SOLUTION: When the data in response to the polarization state are read from the ferroelectric substance film 22 generating upward polarization or downward remaining polarization, bias is applied on a control gate electrode 23 to be read, for instance, a state where the downward remaining polarization exists is made data '1', and another state where the remaining polarization hardly exists from the state where the upward remaining polarization exists is made data '0'. Particularly, the reading precision is improved since reading current during the data '0' is nearly constant by making the state where the remaining polarization hardly exists the data '0'. In addition, the reading precision is further improved by previously inducing input to one data (for instance, the data '1').



COPYRIGHT: (C)2001.JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-308291
(P2001-308291A)

(43) 公開日 平成13年11月2日 (2001.11.2)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 1 L 27/105		G 1 1 C 11/22	5 0 3
G 1 1 C 11/22	5 0 3	H 0 1 L 27/10	4 4 4 A
H 0 1 L 21/8247		29/78	3 7 1
29/788			
29/792			

審査請求 有 請求項の数20 O L (全 17 頁)

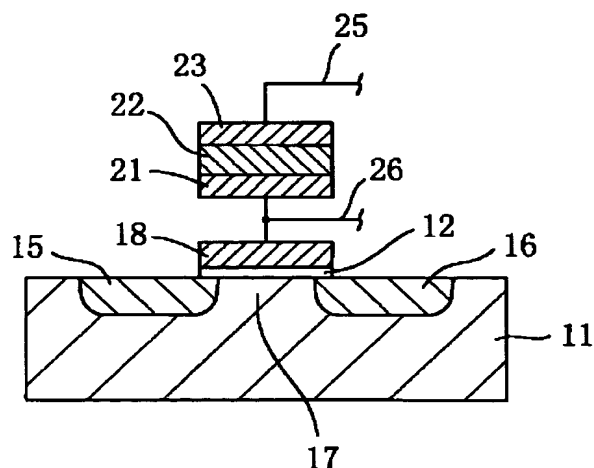
(21) 出願番号	特願2001-31215(P2001-31215)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成13年2月7日 (2001.2.7)	(72) 発明者	嶋田 恭博 大阪府高槻市幸町1番1号 松下電子工業株式会社内
(31) 優先権主張番号	特願2000-36140(P2000-36140)	(72) 発明者	加藤 剛久 大阪府高槻市幸町1番1号 松下電子工業株式会社内
(32) 優先日	平成12年2月15日 (2000.2.15)	(72) 発明者	山田 隆善 大阪府高槻市幸町1番1号 松下電子工業株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	100077931 弁理士 前田 弘 (外7名)

(54) 【発明の名称】 半導体記憶装置、その駆動方法及びその製造方法

(57) 【要約】

【課題】 強誘電体膜の分極状態を利用して、データの読み出し精度の高い半導体記憶装置、その駆動方法及びその製造方法を提供する。

【解決手段】 上向きに分極又は下向きの残留分極を生じうる強誘電体膜22から、分極状態に応じたデータを読み出す際、制御ゲート電極23にバイアスを印加して読み出すとともに、例えば下向きの残留分極がある状態をデータ“1”とし、上向きの残留分極がある状態から残留分極がほぼ存在していない状態をデータ“0”とする。特に、残留分極がほとんどない状態をデータ“0”とすることにより、データ“0”のときの読み出し電流値がほぼ一定になるので、読み出し精度が向上する。また、予め一方のデータ（例えばデータ“1”）にインプリントを誘起させておくことにより、読み出し精度がさらに向上する。



【特許請求の範囲】

【請求項1】 半導体基板と、
上記半導体基板上に設けられた強誘電体膜及びゲート電極と、

上記半導体基板内においてゲート電極の両側方に設けられたソース領域及びドレイン領域とを有する電界効果トランジスタを備え、

上記強誘電体膜は、上記ゲート電極から上記半導体基板に対する正の電圧に応じて上記強誘電体膜に生じる第1の分極と、上記ゲート電極から上記半導体基板に対する負の電圧に応じて上記強誘電体膜に生じる第2の分極とを生じうるものであり、

上記強誘電体膜に電圧が印加されていないときに上記第1及び第2の分極のうちいずれか一方が残留している状態を第1論理値とし、上記第1及び第2の分極のうち他方が残留している状態から分極がほぼ残留していない状態までを第2論理値として、上記第1論理値及び第2論理値のうちいずれか一方の論理値のデータが上記強誘電体膜に記憶されていることを特徴とする半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置において、
上記強誘電体膜中のデータを読み出すときには、上記ゲート電極にバイアス電圧を印加するように構成されていることを特徴とする半導体記憶装置。

【請求項3】 請求項2記載の半導体記憶装置において、
上記バイアス電圧の印加を伴う読み出し動作の繰り返しにより、上記強誘電体膜において、上記他方の分極が0に向かって弱くなるものであり、
データの読み出し時において、上記一方の分極が書き込まれた時の電流値にほぼ等しい電流が上記ソース領域－ドレイン領域間に流れる状態を第1論理値とし、他方の分極が書き込まれた時における上記ソース領域－ドレイン領域間の電流値から上記他方の分極がほぼ0になった時の電流値までの電流が流れる状態を第2論理値とするように構成されていることを特徴とする半導体記憶装置。

【請求項4】 半導体基板と、
半導体基板上に設けられた強誘電体膜及びゲート電極と、
上記半導体基板内のゲート電極の両側方に設けられたソース領域及びドレイン領域とを有する電界効果トランジスタを備え、
上記強誘電体膜は、上記ゲート電極から上記半導体基板に対する正の電圧に応じて上記強誘電体膜に生じる第1の分極と、上記ゲート電極から上記半導体基板に対する負の電圧に応じて上記強誘電体膜に生じる第2の分極とを生じうるものであり、
上記強誘電体膜に電圧が印加されていないときに上記第

1及び第2の分極のうちいずれか一方が残留している状態を第1論理値とし、上記強誘電体膜に分極がほぼ残留していない状態を第2論理値として、上記第1論理値及び第2の論理値のうちいずれか一方の論理値のデータが上記強誘電体膜に記憶されていることを特徴とする半導体記憶装置。

【請求項5】 請求項4記載の半導体記憶装置において、
上記強誘電体膜には、上記第1論理値のデータと上記第2論理値のデータとが、上記ゲート電極に絶対値が異なる電圧を印加することにより書き込まれていることを特徴とする半導体記憶装置。

【請求項6】 請求項4又は5記載の半導体記憶装置において、
上記半導体基板の上に設けられたゲート絶縁膜と、
上記ゲート絶縁膜の上に設けられた中間ゲート電極とをさらに備え、
上記強誘電体膜は上記中間ゲート電極の上に設けられ、
上記ゲート電極は上記強誘電体膜の上に設けられていて、
データの書き込み時には、上記ゲート電極と上記中間ゲート電極との間に印加する電圧によって上記強誘電体膜に上記第1又は第2の分極を残留させることが可能に構成され、
データの読み出し時には、上記中間ゲート電極をフローティングにして上記ゲート電圧にバイアス電圧を印加することが可能に構成されていることを特徴とする半導体記憶装置。

【請求項7】 請求項4又は5記載の半導体記憶装置において、
上記半導体基板の上に設けられたゲート絶縁膜と、
上記ゲート絶縁膜の上に設けられた第1中間ゲート電極と、
上記第1中間ゲート電極とは個別に設けられ、かつ電気的に接続された第2中間ゲート電極とをさらに備え、
上記強誘電体膜は上記第2中間ゲート電極の上に設けられ、
上記ゲート電極は上記強誘電体膜の上に設けられていて、

データの書き込み時には、上記ゲート電極と上記第2中間ゲート電極との間に印加する電圧によって上記強誘電体膜に残留分極を生じさせる一方、データの読み出し時には、上記第1及び第2中間ゲート電極をフローティングにして上記ゲート電圧にバイアス電圧を印加するように構成されていることを特徴とする半導体記憶装置。

【請求項8】 半導体基板上に設けられた強誘電体膜及びゲート電極と、上記半導体基板内のゲート電極の両側方に設けられたソース領域及びドレイン領域とを有し、
上記強誘電体膜は、上記ゲート電極から上記半導体基板に対する正の電圧に応じて上記強誘電体膜に生じる第1

の分極と、上記ゲート電極から上記半導体基板に対する負の電圧に応じて上記強誘電体膜に生じる第2の分極とを生じるように構成された電界効果トランジスタを備えた半導体記憶装置の駆動方法であって、

上記強誘電体膜に電圧が印加されていないときに上記第1及び第2の分極のうちいずれか一方が残留している状態を第1論理値とし、上記第1及び第2の分極のうち他方が残留している状態から分極がほぼ残留していない状態までを第2論理値として上記強誘電体膜にデータの読み出しを行なうことを特徴とする半導体記憶装置の駆動方法。

【請求項9】 請求項8記載の半導体記憶装置の駆動方法において、

上記強誘電体膜中のデータを読み出すときには、上記ゲート電極にバイアス電圧を印加することを特徴とする半導体記憶装置の駆動方法。

【請求項10】 請求項9記載の半導体記憶装置の駆動方法において、

上記バイアス電圧の印加を伴う読み出し動作の繰返しにより、上記強誘電体膜において、上記一方の分極のうちが0に向かって弱くなるものであり、

データの読み出し時において、上記一方の分極が書き込まれた時の電流値にほぼ等しい電流値が上記ソース領域－ドレイン領域間に流れる状態を第1論理値とし、他方の分極が書き込まれた時における上記ソース領域－ドレイン領域間の電流値から上記他方の分極がほぼ0になった時の電流値までの範囲の電流が流れる状態を第2論理値とすることを特徴とする半導体記憶装置の駆動方法。

【請求項11】 請求項9又は10記載の半導体記憶装置の駆動方法において、

上記ゲート電極に印加するバイアス電圧は、上記強誘電体膜中のデータが第1論理値及び上記第2論理値の時に上記ソース領域－ドレイン領域間にそれぞれ流れる電流の差がほぼ最大となる値であることを特徴とする半導体記憶装置の駆動方法。

【請求項12】 半導体基板上に設けられた強誘電体膜及びゲート電極と、上記半導体基板内のゲート電極の両側方に設けられたソース領域及びドレイン領域とを有し、上記強誘電体膜は、上記ゲート電極から上記半導体基板に対する正の電圧に応じて上記強誘電体膜に生じる第1の分極と、上記ゲート電極から上記半導体基板に対する負の電圧に応じて上記強誘電体膜に生じる第2の分極とを生じるように構成された電界効果トランジスタを備えた半導体記憶装置の駆動方法であって、

上記強誘電体膜に電圧が印加されていないときに上記第1及び第2の分極のうちいずれか一方が残留している状態を第1論理値とし、上記強誘電体膜に分極がほぼ残留していない状態を第2論理値として上記強誘電体膜にデータを記憶させるとともに、

上記強誘電体膜中のデータを読み出すときには、上記ゲ

ート電極にバイアス電圧を印加することを特徴とする半導体記憶装置の駆動方法。

【請求項13】 請求項12記載の半導体記憶装置の駆動方法において、上記強誘電体膜へのデータの書き込み時において、上記第1論理値を書き込むときと上記第2論理値を書き込むときとは、上記ゲート電極に印加される電圧の絶対値を相異ならせることを特徴とする半導体記憶装置の駆動方法。

【請求項14】 請求項12又は13記載の半導体記憶装置の駆動方法において、

上記半導体基板の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられた中間ゲート電極とをさらに備え、上記強誘電体膜は上記中間ゲート電極の上に設けられ、上記ゲート電極は上記強誘電体膜の上に設けられていて、

データの書き込み時には、上記ゲート電極と上記中間ゲート電極との間に電圧を印加する一方、データの読み出し時には、上記中間ゲート電極をフローティングにして上記ゲート電圧にバイアス電圧を印加することを特徴とする半導体記憶装置の駆動方法。

【請求項15】 請求項12又は13記載の半導体記憶装置の駆動方法において、

上記半導体基板の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられた第1中間ゲート電極と、上記第1中間ゲート電極とは個別に設けられ、かつ電気的に接続された第2中間ゲート電極とをさらに備え、上記強誘電体膜は上記第2中間ゲート電極の上に設けられ、上記ゲート電極は上記強誘電体膜の上に設けられていて、

データの書き込み時には、上記ゲート電極と上記第2中間ゲート電極との間に電圧を印加する一方、データの読み出し時には、上記第1及び第2中間ゲート電極をフローティングにして上記ゲート電圧にバイアス電圧を印加することを特徴とする半導体記憶装置の駆動方法。

【請求項16】 請求項12～15のうちいずれか1つに記載の半導体記憶装置の駆動方法において、

上記強誘電体膜への上記第2論理値のデータの書き込み時には、上記強誘電体膜に印加される電圧が強誘電体膜の抗電圧にほぼ等しくなるように上記ゲート電極にバイアス電圧を印加することを特徴とする半導体記憶装置の駆動方法。

【請求項17】 請求項12～16のうちいずれか1つに記載の半導体記憶装置の駆動方法において、

上記強誘電体膜にデータを書き込んだ後又はデータを読み出す直前に、上記中間ゲート電極を一旦接地してからフローティングにすることを特徴とする半導体記憶装置の駆動方法。

【請求項18】 請求項12～16のうちいずれか1つに記載の半導体記憶装置の駆動方法において、

上記強誘電体膜に書き込まれたデータを読み出すときに

は、上記強誘電体膜に印加される電圧が強誘電体膜の抗電圧より小さくなるように、上記ゲート電極に電圧を印加することを特徴とする半導体記憶装置の駆動方法。

【請求項19】 半導体基板上に設けられた強誘電体膜及びゲート電極と、上記半導体基板内のゲート電極の両側方に設けられたソース領域及びドレイン領域とを有し、上記強誘電体膜は、上記ゲート電極から上記半導体基板に対する正の電圧に応じて上記強誘電体膜に生じる第1の分極と、上記ゲート電極から上記半導体基板に対する負の電圧に応じて上記強誘電体膜に生じる第2の分極とを生じうよう構成された電界効果トランジスタを備えたメモリセルを形成する工程(a)と、上記強誘電体膜にデータ読み出しのために印加される電圧と同じ極性の電圧を印加した後、この電圧を解除して上記強誘電体膜中に第1の分極を残留させる工程(b)と、

上記強誘電体膜を一定時間の間加熱することにより、上記強誘電体膜のヒステリシス特性を上記第1の分極を上記第2の分極に反転させるのに必要な抗電圧が増大する方向に偏位させて、上記強誘電体膜のヒステリシス特性を非対称とする工程(c)とを含む半導体記憶装置の製造方法。

【請求項20】 請求項19記載の半導体記憶装置の製造方法において、上記工程(b)の後、上記強誘電体膜に残留している第1の分極を消去する工程をさらに含むことを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電界効果型トランジスタのチャンネル領域のポテンシャルを、強誘電体薄膜のヒステリシス特性を利用して変化させる構造を有する半導体記憶装置に関するものである。

【0002】

【従来の技術】 従来より、ゲート中に強誘電体薄膜からなる不揮発性の記憶部を含む電界効果型トランジスタであって、例えばMFISFET、MFSFET、MFMISFETなどと呼ばれる電界効果型トランジスタ(以下、この明細書においては、「強誘電体FET」という)を備えた半導体記憶装置が知られている。

【0003】 図8は、従来のMFISFET型の強誘電体FETの断面図である。同図に示すように、従来の強誘電体FETは、シリコン基板101の上に設けられたシリコン酸化膜102と、シリコン酸化膜102の上に設けられたジルコニウムチタン酸鉛(PZT)またはタンタル酸ビスマズストロンチウム(SBT)などの金属酸化物からなる強誘電体膜103と、Ptなどの導体材料からなるゲート電極104と、シリコン基板101内におけるゲート電極104の両側方にそれぞれ設けられたソース領域105及びドレイン領域106とを備えてい

る。そして、シリコン基板101のうちシリコン酸化膜102の下方に位置する領域がチャンネル領域となっている。

【0004】 図8に示す構造において、強誘電体膜103中には、ゲート電極-シリコン基板間に印加される電圧の極性に応じて、上向き(上方が正極となるダイポールモーメントが生じている状態)または下向き(下方が正極となるダイポールモーメントが生じている状態)の分極が生じ、電圧の印加を停止した後も分極が残留するというヒステリシス特性を有している。そして、ゲート電極104に電圧が印加されていない状態では、この相異なる2種類の残留分極の状態に対応して、強誘電体FETのチャンネル領域107は、そのポテンシャルの深さが異なる2つの状態にある。一方、強誘電体FETのソースドレイン間の抵抗値は、チャンネル領域107のポテンシャルの深さに応じて変化する。したがって、強誘電体膜103の2種類の残留分極状態に応じて、ソースドレイン間の抵抗は高い値と低い値とのいずれかに定まり、このソースドレイン間の抵抗が異なる2種類の値のいずれかを示す状態は、強誘電体膜103の残留分極の状態が保持される限り保持(記憶)される。したがって、強誘電体FETを用いて不揮発性メモリデバイスを構成することができる。

【0005】 ここで、従来の強誘電体FETを用いた不揮発性メモリデバイスにおいては、たとえば強誘電体膜103中に下向きの残留分極が生じている状態をデータ“1”に、強誘電体膜103中に上向きの残留分極が生じている状態をデータ“0”にそれぞれ対応させている。強誘電体膜103中に下向きの残留分極を生じさせるには、たとえばシリコン基板101の裏面を接地電位として、ゲート電極104に正の電圧を印加した後、ゲート電極104の電圧を接地電位に戻す。また、強誘電体膜103中に上向きの残留分極を生じさせるには、たとえばシリコン基板101の裏面を接地電位として、ゲート電極104に負の電圧を印加した後、ゲート電極104の電圧を接地電位に戻す。

【0006】 図9(a)、(b)、(c)は、それぞれ順に、強誘電体膜103中における残留分極が下向き、上向き及びほぼ0の時のゲート電極104、強誘電体膜103、シリコン酸化膜102及びチャンネル領域107を通過する断面におけるエネルギーバンド状態を示すエネルギーバンド図である。図9(a)～(c)においては、シリコン基板101をP型基板とし、ソース領域105およびドレイン領域106をN型半導体領域としている。図9(a)、(b)中の矢印は強誘電体の分極の方向を表す。

【0007】 図9(a)に示す状態を得るには、シリコン基板101に対してゲート電極104に正の電圧を印加する。このゲート電極104とシリコン基板101との間の強誘電体膜103およびシリコン酸化膜102に

は、ゲート電極104とシリコン基板101との間に印加された電位差がある比率で配分される。このとき、強誘電体膜103に配分される電位差が強誘電体膜103の分極反転電圧より大きくなるようにゲート電極104に電圧を印加すれば、強誘電体膜3の分極は下向きになる。そして、印加電圧を除去してゲート電極104を接地電圧に戻すと、図9(a)に示すように、下向きの残留分極が生じる。残留分極が下向き(データ“1”の状態)のときには、強誘電体膜103の下端部に誘起された正極と上端部に誘起された負極との間に生じる電界によって、強誘電体膜103、シリコン酸化膜102及びチャネル領域107のエネルギーバンドが図9(a)に示すように曲げられる。このとき、チャネル領域107のシリコン酸化膜102との界面付近の領域が負イオン化して空乏層が基板深くまでひろがり、チャネル領域107のシリコン酸化膜102との界面付近の領域のポテンシャルが接地電位よりも低くなる。つまり、いわゆる反転層が形成される。

【0008】一方、図9(b)に示す状態を得るには、シリコン基板101に対してゲート電極104に強誘電体膜103に配分される電位差が強誘電体の分極反転電圧より大きくなるような負の電圧を印加する。この場合は、電圧の印加を停止してゲート電極104を接地電位に戻すと、図9(b)に示すように、強誘電体膜103に下向きの残留分極が生じる。残留分極が上向き(データ“0”の状態)のときには、強誘電体膜103の下端部に誘起された負極と上端部に誘起された正極とによって生じる電界によって、強誘電体膜103及びシリコン酸化膜102及びチャネル領域107のエネルギーバンドが曲げられるが、チャネル領域107のシリコン酸化膜102との界面付近の領域には多数キャリアである正孔が蓄積されるので、空乏層は形成されず、チャネル領域107のポテンシャルが接地電位にほぼ等しくなる。

【0009】このように、残留分極の向きによってチャネル領域107の界面付近の領域のポテンシャルが相異なるので、N型半導体領域であるソース領域105とドレイン領域106との間に電位差を与えると、残留分極の向きによって流れる電流値が相異なることになる。すなわち、チャネル領域107のポテンシャルが接地電位よりも低くなったデータ“1”の状態においては、チャネル領域107に反転層が形成されることから、ソースドレイン間は低抵抗状態(ON状態)にあり大きな電流が流れる。一方、チャネル領域107のポテンシャルが接地電位であるデータ“0”の状態においては、チャネル領域には反転層が形成されないことから、ソースドレイン間は高抵抗状態(OFF状態)にあり電流はほとんど流れない。このようにして、ソースドレイン間の電流値を測定すれば、その電流値の大小によって強誘電体FETがデータ“1”の状態にあるかデータ“0”の状態にあるかを知ることができる。

【0010】このように、一つの強誘電体FETのデータ状態を読み出すにおいては、基本的には、ソースドレイン間に電位差を与えるのみでゲート電極104にバイアスを印加する必要はない。すなわち、強誘電体FETのON状態はMOSトランジスタのデプレッション状態に相当することによる。

【0011】

【発明が解決しようとする課題】しかしながら、上記従来の強誘電体FETにおいては、以下のような不具合があった。

【0012】図10は、本発明の発明者達が調べた強誘電体FETのゲート電極104への印加電圧 V_g とソースドレイン間の電流 I_{ds} との関係を示す特性図である。同図に示すように、ゲート電極104への印加電圧を0にしてデータを読み出す際に、データ“1”の状態とデータ“0”の状態とにおける電流差 ΔI_1 が小さい。これは、図9(a)に示すように、ゲート電極104に電圧が印加されていない状態では、チャネル領域107に弱い反転層しか形成されないためと考えられる。その結果、強誘電体膜103の分極状態が経時的に変化したときなど、データ“1”の状態とデータ“0”の状態とを確実に区別して読み出すことが困難となるおそれがあった。

【0013】また、上記とは別の不具合として、データ“1”あるいはデータ“0”のいずれを保持しても、これらを長期間保存すると、保持されたデータに対応する分極の方向にヒステリシス曲線が偏っていくインプリントという現象が現れることがあった。これは、長期間1つの分極状態にあった強誘電体膜103において、保持されているデータに対応する分極を反転させるための抗電圧が減少してその分極状態が生じやすくなる一方、その分極とは逆極性の分極を反転させるための抗電圧が増大して逆極性の分極が生じにくくなるためである。このインプリント現象の結果、長期間あるデータに保持されていた強誘電体FETの強誘電体膜103の残留分極値は初期の残留分極値とは異なることになるので、長期間あるデータを保持した後に読み出されたデータの信号レベル(読み出し電流値)は初期の信号レベル(読み出し電流値)とは異なっているおそれがあった。

【0014】本発明の目的は、電界効果型トランジスタのチャネル領域のポテンシャルを、強誘電体薄膜のヒステリシス特性を利用して変化させる構造を有しながら、高い読み出し精度を維持する半導体記憶装置、その駆動方法及びその製造方法を提供することにある。

【0015】

【課題を解決するための手段】本発明の半導体記憶装置は、半導体基板と、上記半導体基板上に設けられた強誘電体膜及びゲート電極と、上記半導体基板内においてゲート電極の両側方に設けられたソース領域及びドレイン領域とを有する電界効果トランジスタを備え、上記強誘

電体膜は、上記ゲート電極から上記半導体基板に対する正の電圧に応じて上記強誘電体膜に生じる第1の分極と、上記ゲート電極から上記半導体基板に対する負の電圧に応じて上記強誘電体膜に生じる第2の分極とを生じうるものであり、上記強誘電体膜に電圧が印加されていないときに上記第1及び第2の分極のうちいずれか一方が残留している状態を第1論理値とし、上記第1及び第2の分極のうち他方が残留している状態から分極がほぼ残留していない状態までを第2論理値として、上記第1論理値及び第2論理値のうちいずれか一方の論理値のデータが上記強誘電体膜に記憶されている。

【0016】これにより、強誘電体膜に書き込まれた第2論理値が弱いときや分極がほとんど残留していないときにも、第1論理値と第2論理値とを区別してデータの読み出しを行なうことが可能になる。

【0017】上記強誘電体膜中のデータを読み出すときには、上記ゲート電極にバイアス電圧を印加するように構成されていることにより、強誘電体膜に第1論理値のデータが記憶されているときの読み出し電流値と、強誘電体膜に第2論理値のデータが記憶されている時の読み出し電流値との差を大きくすることが可能になり、読み出し精度の向上を図ることができる。

【0018】上記バイアス電圧の印加を伴う読み出し動作の繰り返しにより、上記強誘電体膜において、上記他方の分極が0に向かって弱くなるというディスタープ現象が引き起こされる場合にも、データの読み出し時において、上記一方の分極が書き込まれた時の電流値にほぼ等しい電流が上記ソース領域－ドレイン領域間に流れる状態を第1論理値とし、他方の分極が書き込まれた時における上記ソース領域－ドレイン領域間の電流値から上記他方の分極がほぼ0になった時の電流値までの電流が流れる状態を第2論理値とするように構成されていることにより、ディスタープによる読み出し精度の悪化を回避することができる。

【0019】本発明の半導体記憶装置は、半導体基板と、半導体基板上に設けられた強誘電体膜及びゲート電極と、上記半導体基板内のゲート電極の両側方に設けられたソース領域及びドレイン領域とを有する電界効果トランジスタを備え、上記強誘電体膜は、上記ゲート電極から上記半導体基板に対する正の電圧に応じて上記強誘電体膜に生じる第1の分極と、上記ゲート電極から上記半導体基板に対する負の電圧に応じて上記強誘電体膜に生じる第2の分極とを生じうるものであり、上記強誘電体膜に電圧が印加されていないときに上記第1及び第2の分極のうちいずれか一方が残留している状態を第1論理値とし、上記強誘電体膜に分極がほぼ残留していない状態を第2論理値として、上記第1論理値及び第2の論理値のうちいずれか一方の論理値のデータが上記強誘電体膜に記憶されている。

【0020】これにより、第2論理値のデータが当初か

らディスタープによってほぼ分極が残留していない状態に対応しているので、データの読み出し時において、第2論理値のデータに対応する読み出し電流値がほぼ一定になる。よって、第1論理値のデータとの区別がより明確化されて、データの読み出し精度が顕著に向上する。

【0021】上記強誘電体膜には、上記第1論理値のデータと上記第2論理値のデータとが、上記ゲート電極に絶対値が相異なる電圧を印加することにより書き込まれていることが好ましい。

【0022】上記半導体基板の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられた中間ゲート電極とをさらに備え、上記強誘電体膜は上記中間ゲート電極の上に設けられ、上記ゲート電極は上記強誘電体膜の上に設けられていて、データの書き込み時には、上記ゲート電極と上記中間ゲート電極との間に印加する電圧によって上記強誘電体膜に上記第1又は第2の分極を残留させることが可能に構成され、データの読み出し時には、上記中間ゲート電極をフローティングにして上記ゲート電圧にバイアス電圧を印加することが可能に構成されていることにより、MFMI S構造を有している電界効果トランジスタをメモリセルとして備えた半導体記憶装置において、上述の効果を発揮することができる。

【0023】上記半導体基板の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられた第1中間ゲート電極と、上記第1中間ゲート電極とは個別に設けられ、かつ電気的に接続された第2中間ゲート電極とをさらに備え、上記強誘電体膜は上記第2中間ゲート電極の上に設けられ、上記ゲート電極は上記強誘電体膜の上に設けられていて、データの書き込み時には、上記ゲート電極と上記第2中間ゲート電極との間に印加する電圧によって上記強誘電体膜に残留分極を生じさせる一方、データの読み出し時には、上記第1及び第2中間ゲート電極をフローティングにして上記ゲート電圧にバイアス電圧を印加するように構成されていることにより、実質的にMFIS構造を有している電界効果トランジスタをメモリセルとして備えた半導体記憶装置において、上述の効果を発揮することができる。

【0024】本発明の半導体記憶装置の駆動方法は、半導体基板上に設けられた強誘電体膜及びゲート電極と、上記半導体基板内のゲート電極の両側方に設けられたソース領域及びドレイン領域とを有し、上記強誘電体膜は、上記ゲート電極から上記半導体基板に対する正の電圧に応じて上記強誘電体膜に生じる第1の分極と、上記ゲート電極から上記半導体基板に対する負の電圧に応じて上記強誘電体膜に生じる第2の分極とを生じうるように構成された電界効果トランジスタを備えた半導体記憶装置の駆動方法であって、上記強誘電体膜に電圧が印加されていないときに上記第1及び第2の分極のうちいずれか一方が残留している状態を第1論理値とし、上記第1及び第2の分極のうち他方が残留している状態から分

極がほぼ残留していない状態までを第2論理値として上記強誘電体膜にデータの読み出しを行なう方法である。

【0025】この方法により、強誘電体膜に書き込まれた第2論理値が弱いときや分極がほとんど残留していないときにも、第1論理値と第2論理値とを区別してデータの読み出しを行なうことが可能になる。

【0026】上記強誘電体膜中のデータを読み出すときには、上記ゲート電極にバイアス電圧を印加することにより、強誘電体膜に第1論理値のデータが記憶されているときの読み出し電流値と、強誘電体膜に第2論理値のデータが記憶されている時の読み出し電流値との差を大きくすることが可能になり、読み出し精度の向上を図ることができる。

【0027】上記バイアス電圧の印加を伴う読み出し動作の繰り返しにより、上記強誘電体膜において、上記他方の分極が0に向かって弱くなるものである場合にも、データの読み出し時において、上記一方の分極が書き込まれた時の電流値にほぼ等しい電流が上記ソース領域・ドレイン領域間に流れる状態を第1論理値とし、他方の分極が書き込まれた時における上記ソース領域・ドレイン領域間の電流値から上記他方の分極がほぼ0になった時の電流値までの電流が流れる状態を第2論理値とすることにより、ディスタースによる読み出し精度の悪化を回避することができる。

【0028】上記ゲート電極に印加するバイアス電圧は、上記強誘電体膜中のデータが第1論理値及び上記第2論理値の時に上記ソース領域・ドレイン領域間にそれぞれ流れる電流の差がほぼ最大となる値であることが好ましい。

【0029】本発明の半導体記憶装置の駆動方法は、半導体基板上に設けられた強誘電体膜及びゲート電極と、上記半導体基板内のゲート電極の両側方に設けられたソース領域及びドレイン領域とを有し、上記強誘電体膜は、上記ゲート電極から上記半導体基板に対する正の電圧に応じて上記強誘電体膜に生じる第1の分極と、上記ゲート電極から上記半導体基板に対する負の電圧に応じて上記強誘電体膜に生じる第2の分極とを生じうるよう構成された電界効果トランジスタを備えた半導体記憶装置の駆動方法であって、上記強誘電体膜に電圧が印加されていないときに上記第1及び第2の分極のうちいずれか一方が残留している状態を第1論理値とし、上記強誘電体膜に分極がほぼ残留していない状態を第2論理値として上記強誘電体膜にデータを記憶させるとともに、上記強誘電体膜中のデータを読み出すときには、上記ゲート電極にバイアス電圧を印加する方法である。

【0030】この方法により、第2論理値のデータが当初からディスタースによってほぼ分極が残留していない状態に対応しているので、データの読み出し時において、第2論理値のデータに対応する読み出し電流値がほぼ一定になる。よって、第1論理値のデータとの区別が

より明確化されて、データの読み出し精度が顕著に向上する。

【0031】その場合、上記強誘電体膜へのデータの書き込み時において、上記第1論理値を書き込むときと上記第2論理値を書き込むときとは、上記ゲート電極に印加される電圧の絶対値を相異ならせることにより、第2論理値のデータが当初からディスタースによって分極がほぼ残留していない状態に対応させることが容易となる。

【0032】上記半導体基板の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられた中間ゲート電極とをさらに備え、上記強誘電体膜は上記中間ゲート電極の上に設けられ、上記ゲート電極は上記強誘電体膜の上に設けられている場合には、データの書き込み時には、上記ゲート電極と上記中間ゲート電極との間に電圧を印加する一方、データの読み出し時には、上記中間ゲート電極をフローティングにして上記ゲート電圧にバイアス電圧を印加することにより、MFMI S構造を有している電界効果トランジスタをメモリセルとして備えた半導体記憶装置について、上述の効果を発揮することができる。

【0033】上記半導体基板の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられた第1中間ゲート電極と、上記第1中間ゲート電極とは個別に設けられ、かつ電気的に接続された第2中間ゲート電極とをさらに備え、上記強誘電体膜は上記第2中間ゲート電極の上に設けられ、上記ゲート電極は上記強誘電体膜の上に設けられている場合には、データの書き込み時には、上記ゲート電極と上記第2中間ゲート電極との間に電圧を印加する一方、データの読み出し時には、上記第1及び第2中間ゲート電極をフローティングにして上記ゲート電圧にバイアス電圧を印加することにより、実質的にMFMI S構造を有している電界効果トランジスタをメモリセルとして備えた半導体記憶装置について、上述の効果を発揮することができる。

【0034】上記強誘電体膜への上記第2論理値のデータの書き込み時には、上記強誘電体膜に印加される電圧が強誘電体膜の抗電圧にほぼ等しくなるように上記ゲート電極にバイアス電圧を印加することにより、強誘電体膜に分極がほぼ残留していない状態を第2論理値としてデータの書き込みを行なうことができる。

【0035】上記強誘電体膜にデータを書き込んだ後又はデータを読み出す直前に、上記中間ゲート電極を一旦接地してからフローティングにすることにより、中間電極における不要な電荷などを除去して、読み出し精度の向上を図ることができる。

【0036】上記強誘電体膜に書き込まれたデータを読み出すときには、上記強誘電体膜に印加される電圧が強誘電体膜の抗電圧より小さくなるように、上記ゲート電極に電圧を印加することが好ましい。

【0037】本発明の半導体記憶装置の製造方法は、半導体基板上に設けられた強誘電体膜及びゲート電極と、上記半導体基板内のゲート電極の両側方に設けられたソース領域及びドレイン領域とを有し、上記強誘電体膜は、上記ゲート電極から上記半導体基板に対する正の電圧に応じて上記強誘電体膜に生じる第1の分極と、上記ゲート電極から上記半導体基板に対する負の電圧に応じて上記強誘電体膜に生じる第2の分極とを生じうるように構成された電界効果トランジスタを備えたメモリセルを形成する工程(a)と、上記強誘電体膜にデータ読み出しのために印加される電圧と同じ極性の電圧を印加した後、この電圧を解除して上記強誘電体膜中に第1の分極を残留させる工程(b)と、上記強誘電体膜を一定時間の間加熱することにより、上記強誘電体膜のヒステリシス特性を上記第1の分極を上記第2の分極に反転させるのに必要な抗電圧が増大する方向に偏位させて、上記強誘電体膜のヒステリシス特性を非対称とする工程(c)とを含んでいる。

【0038】この方法により、予め強誘電体膜中の分極状態が第1の論理値の側にインプリントされるので、データの読み出しの際に第1論理値のデータと第2論理値のデータとを区別することが容易になる。

【0039】上記工程(b)の後、上記強誘電体膜に残留している第1の分極を消去する工程をさらに含むことができる。

【0040】

【発明の実施の形態】(第1の実施形態)

—強誘電体FETの構造—

図1は、本発明の第1の実施形態のMFIS構造の強誘電体FETの断面図である。同図に示すように、強誘電体FETは、シリコン基板11の上に設けられたシリコン酸化膜12と、シリコン酸化膜12の上に設けられたジルコン—チタン酸鉛(PZT)またはタンタル酸ビスマスストロンチウム(SBT)などの金属酸化物からなる強誘電体膜13と、強誘電体膜13の上に設けられたPもなどの導体材料からなるゲート電極14と、シリコン基板11内におけるゲート電極14の両側方にそれぞれ設けられたソース領域15及びドレイン領域16とを備えている。そして、シリコン基板11のうちシリコン酸化膜12の下方に位置する領域がチャネル領域17となっている。

【0041】図1に示す構造において、強誘電体膜13中には、ゲート電極—シリコン基板間に印加される電圧の極性に応じて、上向き(上方が正極となるダイポールモーメントが生じている状態)または下向き(下方が正極となるダイポールモーメントが生じている状態)の分極が生じ、電圧の印加を停止した後も分極が残留するというヒステリシス特性を有している。そして、ゲート電極14に電圧が印加されていない状態では、この相異なる2種類の残留分極の状態に対応して、強誘電体FET

のチャネル領域17は、そのポテンシャルの深さが相異なる2つの状態にある。一方、強誘電体FETのソース—ドレイン間の抵抗値は、チャネル領域17のポテンシャルの深さに応じて変化する。したがって、強誘電体膜13の2種類の残留分極状態に応じて、ソース—ドレイン間の抵抗は高い値と低い値とのいずれかに定まり、このソース—ドレイン間の抵抗が相異なる2種類の値のいずれかを示す状態は、強誘電体膜13の残留分極の状態が保持される限り保持(記憶)される。したがって、強誘電体FETを用いて不揮発性メモリデバイスを構成することができる。たとえば、強誘電体膜13に下向きの残留分極が生じている状態をデータ“1”(第1論理値)とし、強誘電体膜13に上向きの残留分極が生じている状態をデータ“0”(第2論理値)として、強誘電体FETをメモリセルとして用いることができる。

【0042】しかし、すでに従来の技術について説明したように、ゲート電極14にバイアスを印加せずにデータの読み出しを行なう方法では、データ“1”の状態とデータ“0”の状態とで読み出し電流の差 ΔI_1 が小さい(図10参照)。そこで、本実施形態においては、読み出し時にゲート電極14にバイアスを印加することを前提とする。

【0043】—ゲートバイアスの設定方法—

図2は、本実施形態の読み出し時におけるゲートバイアス(ゲート電極13に印加する電圧) ΔV_g の設定方法を説明するための図である。すでに説明した図10に示すような強誘電体FETのソース—ドレイン間電流 I_{ds} のゲートバイアス依存特性において、データ“1”の状態とデータ“0”の状態とにおける読み出し電流の差がほぼ最大値 ΔI_2 となるゲートバイアス V_g の値を ΔV_g とする。ここで、本実施形態においては、読み出し時におけるゲート電圧 V_g を0から ΔV_g だけずれた位置に設定している。言い換えると、読み出し信号のS/N比を上げるために ΔV_g のオフセット電圧をゲート電極14に印加することになる。

【0044】—ディスタープ現象—

しかし、この方法によると、読み出し動作時には、強誘電体FETのゲート電極14に必ずオフセット電圧 ΔV_g が印加されることになる。たとえば正のオフセット電圧 ΔV_g をゲート電極に印加すると、残留分極が下向き(データ“1”の状態)である場合は、残留分極の方向がゲートバイアスの電界によって誘起される分極方向に一致するので、その分極状態はゲートバイアスによる影響は受けない。しかし、残留分極が上向き(データ“0”の状態)のときには、残留分極の方向とゲートバイアスの電界によって誘起される分極の方向とが逆になるので、ゲート電極へのオフセット電圧 ΔV_g の印加によって、強誘電体膜中の残留分極は少し弱くなる。さらに、読み出し動作を繰り返すと、ゲート電極にオフセット電圧 ΔV_g を印加する毎に少しずつ強誘電体膜中の残

留分極が弱くなり、最終的には、図9(c)に示すように、強誘電体膜中の残留分極がほぼゼロになる。このように、残留分極を弱める方向の電界を与える電圧をゲート電圧に繰り返し印加することによってデータが消失していく現象をディスタープ現象という。

【0045】図11は、このディスタープ現象を説明するためのヒステリシス特性図である。図11において、縦軸は下向きの分極を正方向として表された分極の強さを表し、横軸はゲート電極に印加する電圧(ゲートバイアス)を表している。同図に示すように、初期状態では、下向き(データ“1”の状態)の分極状態はヒステリシス曲線中のA点にあり、上向き(データ“0”の状態)の分極状態はB点にある。分極状態がA点又はB点にある強誘電体膜のゲート電極114に正のゲートバイアスを印加すると、以下のような挙動を示す。分極状態がA点にある場合は、ゲートバイアスが抗電圧より小さくても、分極状態がヒステリシス曲線に沿ってA点からA'点に移動し、その後、読み出しが終了してゲートバイアスがゼロに戻ると、A'点にある分極状態はふたたびA点に戻る。一方、分極状態がB点にある場合は、ゲートバイアスが抗電圧より小さくても、分極状態がヒステリシス曲線に沿ってB点からB'点に移動し、その後、読み出しが終了してゲートバイアスがゼロに戻っても、B'点にある分極状態はB点にはもはや戻らず、B'点に移動する。つまり、上向きの分極はゲート電極にオフセット電圧 ΔV_g (ゲートバイアス)を印加することによって少し小さくなる。したがって、読み出し動作を繰り返すと、図11の点線に示すように、上向きの分極はだんだん小さくなり、最終的にはほぼ消失する。

【0046】そして、ディスタープ現象によって分極が消失してゆくと、従来の強誘電体FETにおいては、データ“0”を保持していた強誘電体FETのチャネル領域のポテンシャルは、図9(c)に示すように、データ“1”のポテンシャルに近づくように変化するため、データ“0”の状態に対応するソース・ドレイン間電流 I_{ds} がその初期値から次第に変化していくという読み出し回路の設計上好ましくない現象を呈する。

【0047】—読み出し方法—

一方、本実施形態においては、強誘電体FETを読み出す際に、強誘電体膜13に下向きの分極を与える方向のオフセット電圧 ΔV_g をゲート電極14に印加するようにしているので、データを読み出す際におけるチャネル領域17の表面付近におけるポテンシャルは、従来の強誘電体FETとは、以下に説明するように異なっている。

【0048】図3(a)、(b)、(c)は、それぞれ順に、強誘電体膜13中における残留分極が下向き、上向き及びほぼ0の時のゲート電極14、強誘電体膜13、シリコン酸化膜12及びチャネル領域17を通過する断面に生じる読み出し時のエネルギーバンド状態を示

すエネルギーバンド図である。図3(a)～(c)においては、シリコン基板11をP型基板とし、ソース領域15およびドレイン領域16をN型半導体領域としている。図3(a)、(b)中の矢印は強誘電体の残留分極の方向を表す。

【0049】本実施形態においても、強誘電体膜13に分極を生じさせる手順は、従来技術と変わらないので、ゲート電極14に電圧を印加しない状態では、ゲート電極14、強誘電体膜13、シリコン酸化膜12及びチャネル領域17を通過する断面におけるエネルギーバンド状態は、図9(a)～(c)に示すとおりである。

【0050】一方、データの読み出し時には、図1に示す構造を有する強誘電体FETにおいて、シリコン基板11に対してゲート電極14にオフセット電圧 ΔV_g を印加する。このとき、ゲート電極14とシリコン基板11との間の強誘電体膜13及びシリコン酸化膜12には、ゲート電極14とシリコン基板11との電位差 ΔV_g がある比率で配分される。

【0051】そして、図3(a)に示すように、残留分極が下向き(データ“1”の状態)のときには、ゲート電極14に印加されるオフセット電圧 ΔV_g によって分極がさらに強まるので、強誘電体膜13の下端部に誘起された正極によって、強誘電体膜13、シリコン酸化膜12及びチャネル領域17のエネルギーバンドが図3(a)に示すように曲げられる。また、チャネル領域17のシリコン酸化膜12との界面付近の領域が強く負イオン化して空乏層が基板深くまでひろがり、チャネル領域17のシリコン酸化膜12との界面付近の領域のポテンシャルが接地電位よりも低くなる。つまり、強い反転層が形成され、強誘電体FETはオン状態の電流値を示す。

【0052】一方、図3(b)に示すように、残留分極が上向き(データ“0”の状態)のときには、ゲート電極14に印加されるオフセット電圧 ΔV_g によって分極が弱くなるので、強誘電体膜13に誘起される負極の強さが減少する。そして、強誘電体膜13、シリコン酸化膜12及びチャネル領域17のエネルギーバンドが図3(b)に示すように曲げられ、チャネル領域17のシリコン酸化膜12との界面付近の領域のポテンシャルが低くなるので、チャネル領域17に弱い反転層が形成される。

【0053】また、図3(c)に示すように、ディスタープによって残留分極が消失したときには、ゲート電極14に印加されるオフセット電圧 ΔV_g によって、強誘電体膜13、シリコン酸化膜12及びチャネル領域17のエネルギーバンドが図3(c)に示すように曲げられる。このとき、チャネル領域17のシリコン酸化膜12表面との界面付近の領域における伝導帯端のポテンシャルが下方に曲げられるので、チャネル領域17に図3(b)に示すよりもやや強い反転層が形成される。

【0054】このように、残留分極の向きによってチャネル領域17の表面付近の領域のポテンシャルが相異なるので、N型半導体領域であるソース領域15とドレイン領域16との間に電位差を与えると、残留分極の向きによって流れる電流値が相異なることになる。

【0055】すなわち、図3(a)に示す状態をデータ“1”とすると、この状態においては、強い反転層が形成されることから、ソースドレイン間は低抵抗状態にあり、図2の点yにおける大電流が流れる。一方、図3(b)に示す状態をデータ“0”とすると、この状態においては、ソースドレイン間は比較的高抵抗の状態にあることから、図2の点wにおける小さい電流が流れる。このようにして、ソースドレイン間の電流値を測定すれば、その電流値の大小によって強誘電体FETがデータ“1”の状態にあるかデータ“0”の状態にあるかを知ることができる。

【0056】また、図3(c)に示す状態では、強誘電体膜13中の分極がほぼ0になり、図3(b)に示すよりもやや強い反転層が形成されることから、図2の点vにおける中間的な電流が流れる。この電流値は、点yにおける電流値よりも十分小さいことから、点wと点vとにおける電流値を区別して検知することは比較的容易で

ある。

【0057】—データの論理値の設定方法—

そこで、本実施形態の強誘電体FETを用いた不揮発性メモリデバイスにおいては、ゲート電極14にオフセット電圧(ゲートバイアス) ΔV_g を印加して読み出しを行なうとともに、図11に示すヒステリシス特性のディスターブによる変化において、分極が上向きの状態(図3(b)に示す状態)のときの電流値(図2の点wにおける電流値)からディスターブによって分極が0になった状態(図3(c)に示す状態)のときの電流値(図2の点vにおける電流値)までの範囲をデータ“0”と判定する。具体的には、図2の点vにおける電流値以下の電流値を示す状態をデータ“0”と判定すればよい。分極が下向きの状態(図3(a)に示す状態)のときの電流値(図2の点yにおける電流値)を“1”とすることは従来とおなじである。

【0058】表1は、従来の強誘電体FETと、本実施の形態における強誘電体FETについて、その論理状態と分極との対応をソースドレイン間の抵抗と比較して示したものである。

【0059】

【表1】

分極	従来(FET)	本実施形態①(FET)	②(FET)
下向き	“1”(ON)	“1”(ON 電流大)	“1”(ON)
上向き	“0”(OFF)	“1”(ON 電流小)	“0”(OFF)
ゼロ	不定	“1”(ON 電流中)	“0”(OFF)

【0060】表1の本実施形態①における強誘電体FETと従来の強誘電体FETとの相違点は、ディスターブにより分極が消失した状態において、読み出しを行なう際に、従来の強誘電体FETではチャネル領域107に弱い反転層しか形成されない(図9(c)参照)のに対し、本発明の強誘電体FETでは、ゲート電極14に印加されるオフセット電圧 ΔV_g によって分極が生じるので、チャネル領域17に比較的強い反転層が形成される(図3(c)参照)という点である。その結果、ディスターブにより分極が消失した状態において、従来の強誘電体FETにおいては、図2の点zから点uに変化したときの電流値と、図2の点xにおける電流値とを区別して検知しなければならないことになる。しかし、点uと点xとにおける電流値を区別して検知することは、実際上困難であり、読み出したデータの論理状態が不明であった。それに対し、本実施形態においては、図2の点yにおける電流値と点wから点vまでの範囲の電流値とを区別して検知すればよいので、読み出したデータが2つの論理状態のどちらかに明確に対応付けられる。すなわち、本実施形態によれば、ディスターブによって上向きの分極が消失した状態でも確実な論理状態の判定を行うことができる。

【0061】なお、本実施形態においては、メモリセルである強誘電FETにおいて、強誘電体膜13に下向きの残留分極が生じている状態をデータ“1”とし、強誘電体膜13に上向きの残留分極が生じている状態又は残留分極がほぼ0の状態をデータ“0”としたが、下向きの残留分極が生じている状態又は分極がほぼ0の状態をデータ“0”とし、上向きの残留分極が生じている場合をデータ“1”としてもよい。

【0062】また、いずれの状態をデータ“0”又はデータ“1”とするかは任意であるので、本実施形態におけるメモリセルである強誘電FETにおいて、強誘電体膜13に下向きの残留分極が生じている状態をデータ“0”とし、強誘電体膜13に上向きの残留分極が生じている状態又は残留分極がほぼ0の状態をデータ“1”としてもよいことは言うまでもない。

【0063】なお、シリコン酸化膜12は必ずしもなくてもよい。

【0064】また、表1の(本実施形態②)に示すように、ビルトインポテンシャルを適宜調整することにより、残留分極が上向き又は消失した状態ではゲート電極14にバイアス電圧を印加しても強誘電体FETのソース・ドレイン間電流 I_{ds} が流れず(オフ状態)、残留分

極が下向きのときのみ電流が流れる（オン状態）ように調整することも可能である。この場合にも、従来の方法とは異なり、データの読み出し時において、分極が下向きの状態（データ“1”）のときには電流 I_{ds} を大きく確保することができるので、分極がゼロ又は上向きの状態（データ“0”）のときの電流（ゼロ）との区別が曖昧になることはない。

（第2の実施形態）図4は、本発明の第2の実施形態における半導体記憶装置のメモリセルの断面図である。本実施形態における半導体記憶装置のメモリセルは、いわゆるMFMI S構造を有する強誘電体FETと考えられる。

【0065】強誘電体FETは、P型のシリコン基板11の上に設けられたシリコン酸化膜12（ゲート絶縁膜）と、シリコン酸化膜12の上に設けられたポリシリコンなどの導体材料からなる第1中間ゲート電極18と、シリコン基板11内における第1中間ゲート電極18の両側方にそれぞれ設けられたN型のソース領域15及びドレイン領域16とを備えている。そして、シリコン基板11のうちシリコン酸化膜12の下方に位置する領域がチャネル領域17となっている。また、Ptなどからなる第2中間ゲート電極21と、第2中間ゲート電極21の上に設けられたジルコニーチタン酸鉛（PZT）またはタンタル酸ビスマズストロンチウム（SBT）などの金属酸化物からなる厚みが約200nmの強誘電体膜22と、強誘電体膜22を挟んで第2中間ゲート電極21に対向するように設けられたPtなどの導体材料からなる制御ゲート電極23とを備えている。また、制御ゲート電極23は第1の配線25に接続され、第1中間ゲート電極18及び第2中間ゲート電極21は共通の第2の配線26に接続されている。

【0066】この構造は、第1中間ゲート電極18と第2中間ゲート電極21とを一体として考えると、図1に示す強誘電体FETにおいて、強誘電体13とシリコン酸化膜12との間に、中間ゲート電極として第1中間ゲート電極18及び第2中間ゲート電極21を設けたもの、つまりMFMI SFETと捉えることができる。ただし、第1中間ゲート電極18と第2中間ゲート電極21とは一体化されていてもよいし、図4に示すように、第1中間ゲート電極18と第2中間ゲート電極21とが個別に設けられていてもよい。

【0067】ここで、強誘電体膜22の材料がSBTで、膜厚が約200nmとした場合、強誘電体膜22の抗電圧はおおよそ1Vとなる。

【0068】第1の実施形態の強誘電体FETと比較して、本実施形態の強誘電体FETの構造上の特徴は、本実施形態においては、強誘電体膜22の分極状態を変化させるために必要な電圧を、制御ゲート電極23に接続された第1の配線25と第2中間ゲート電極21に接続された第2の配線26とによって直接印加できるように

構成されている点と、第1中間ゲート電極18の電位を、読み出し動作前に第2の配線26によって確定できるように構成されている点にある。

【0069】また、第1の実施形態の強誘電体FETである強誘電体FETと比較して、本実施形態の強誘電体FETの動作上の特徴は、本実施形態においては、データの書き込みにおいて、強誘電体膜22に下向きの残留分極（データ“1”）を生じさせるように書き込むときと、強誘電体膜22に上向きの残留分極（データ“0”）を生じさせるように書き込むときとは、それぞれ強誘電体膜22に印加される電圧の絶対値が異なる点にある。

【0070】本実施形態においては、強誘電体FETにおけるエネルギーバンド構造の図示は省略するが、図4に示す構造において第1中間ゲート電極18と第2中間ゲート電極21とが一体化されているものとする、図3(a)～(c)に示すエネルギーバンド図において、強誘電体膜13－シリコン酸化膜12間に導体部材を介在させたものにすぎないので、データの読み出し動作は第1の実施形態と同様に考えることができる。ただし、強誘電体膜22の分極を生じさせる際には、制御ゲート電極23－第2中間ゲート電極21間に電圧を印加する点が第1の実施形態とは異なる。

【0071】図5は、本実施形態におけるデータの書き込み動作を電圧－分極座標上で説明するためのヒステリシス特性図である。図5において、横軸は制御ゲート23－第2中間ゲート電極21間に印加する電圧を表し、縦軸は、強誘電体膜22に生じる分極を下向き方向を正として表している。なお、以下の説明においては、シリコン基板11の電位は常に接地電位であるとしている。

【0072】図5に示すように、データが書き込まれる前の強誘電体膜22の分極はほぼゼロであるので、分極状態は原点Oの近傍にある。この強誘電体膜22にデータ“1”を書き込むには、たとえば第2中間ゲート電極21に接続された第2の配線26を接地電位とし、制御ゲート電極23に接続された第1の配線25に3Vの電圧を印加すると、分極状態は原点Oから点aまで実線に沿って移動する。そののち、制御ゲート電極23に接続された第1の配線25を接地電位とすると、分極状態は点aから点aに移動し、強誘電体膜22には電圧ゼロの状態であらう約 $10\mu\text{C}/\text{cm}^2$ の電荷（残留分極）がデータ“1”として保持される。

【0073】続いて、データ“1”をデータ“0”に書き換えるには、制御ゲート電極23に接続された第1の配線25に、分極状態を飽和状態まで反転させるために必要な電圧－3Vを印加するのではなく、約－1Vの電圧を印加する。つまり、本発明では、分極による電荷が負の飽和状態（約 $-10\mu\text{C}/\text{cm}^2$ ）からほぼ0（約 $0\mu\text{C}/\text{cm}^2$ ）までをデータ“0”と定義するので、当初からデータ“0”としての分極をおおよそ $0\mu\text{C}/\text{cm}^2$

m² に設定できれば十分である。そこで、制御ゲート電極23に接続された第1の配線25に電圧約-1Vを印加すると、図5に示す軌跡のように、分極状態は点aから点b'まで移動する。この動作は、制御ゲート電極23に接続された第1の配線25を接地電位とし、第2中間ゲート電極21に接続された第2の配線26に電圧1Vを与えることによって実現される。そののち、制御ゲート電極23に接続された第1の配線25を接地電位とすると、分極状態は点b'から点bに移動し、電圧ゼロの状態で強誘電体膜22には約0μC/cm²の電荷がデータ“0”として保持される。

【0074】つまり、本実施形態においては、正の残留分極が生じている強誘電体膜22に負の電圧を印加した後負の電圧を解除した時に強誘電体膜22に生じる分極（残留分極）がほぼ0になるとすると、上記負の電圧（抗電圧）にはほぼ等しい電圧を印加して、データを“1”から“0”に書き換えることになる。

【0075】ただし、第2中間ゲート電極21-制御ゲート電極23間に抗電圧（本実施形態においては、-1V）より絶対値が大きく、かつ、飽和状態に達しない弱い負の電圧を印加しても、後述する読み出し精度の向上効果のある程度発揮することができる。

【0076】また、強誘電体膜22にデータが書き込まれていない状態から強誘電体膜22にデータ“0”を書き込む場合にも、図5に示す抗電圧（約-1V）を強誘電体膜22に印加することが好ましい。

【0077】データを書き込んだ後は、第2中間ゲート電極21に接続された第2の配線26を接地電位とし、これにつながる第1中間ゲート電極18の電位を確定する。つづいて、スイッチングトランジスタなどを利用して、第2中間ゲート電極21に接続された第2の配線26を周辺回路（図示せず）から電気的に遮断する。

【0078】あるいは、データの読み出しの直前に、まず、第2中間ゲート電極21に接続された第2の配線26を接地電位とし、これにつながる第1中間ゲート電極18の電位を確定する。これは、この読み出しまでに実行された書き込みおよび読み出しの動作あるいは静止状態で漏れ電流などとして第1中間ゲート電極18に蓄積された不要な電荷を除去するためである。つづいて、スイッチングトランジスタなどを利用して、第2中間ゲート電極21に接続された第2の配線26を周辺回路（図示せず）から電気的に遮断する。その後、データを読み出すために、制御ゲート電極23に接続された第1の配線25に、第1の実施形態で説明したオフセット電圧ΔV_gに相当する読み出し電圧V_Rを印加する。この読み出し電圧V_Rは、強誘電体膜22に印加される電圧とシリコン酸化膜12に印加される電圧とに分割される。このとき、強誘電体膜22の分極が下向き（データ“1”）の場合は、強誘電体膜22に印加される電圧によって生じる分極の方向と、保持されている分極（電

荷）の方向とは一致しているので、第1の実施形態において説明したように、読み出し電圧V_Rを除去しても分極の向きや大きさは変わらない。

【0079】一方、強誘電体膜22の分極が上向き（データ“0”）の場合は、第1の実施形態の書き込み方法によると、強誘電体膜22に印加される電圧によって生じる分極の方向と、保持されている分極（電荷）の方向とが逆なので、読み出し電圧V_Rの印加によって強誘電体膜22はディスタ urb を受ける。その結果、ディスタ urb によって分極が消失してゆき、これにともなってデータ“0”に対するソースドレイン間電流I_{ds}が変化する。

【0080】しかし、本実施形態の書き込み方法においては、当初から分極が約0μC/cm²の状態がデータ“0”として保持されている。さらに、本実施形態では、制御ゲート電極23に接続された第1の配線25に印加される読み出し電圧V_Rは、強誘電体膜22にかかる電圧が抗電圧を超えないように設定するので、ディスタ urb によって分極が消失してゆくことはなく、また、データ“0”の状態がデータ“1”へと反転してしまうこともない。したがって、データ“0”を繰り返して読み出ししても、ソースドレイン間電流I_{ds}は変化しないことになる。具体的には、強誘電体膜22に印加される電圧とシリコン酸化膜12に印加される電圧との比は、第2中間ゲート電極21、強誘電体膜22及び制御ゲート電極23により構成されるキャパシタの容量と、第1中間ゲート電極18、シリコン酸化膜12およびシリコン基板11により構成されるキャパシタの容量との比によって決まる。この容量比と読み出し電圧V_Rとを調整することにより、データ読み出し時に強誘電体膜22に印加される電圧を強誘電体膜22中の分極の抗電圧以下にできる。

【0081】そして、データの保存状態においては、これに先立つデータ書き込み動作の最後の段階で、制御ゲート電極23に接続された第1の配線25と第2中間ゲート電極21に接続された第2の配線26とを共に接地することにより、強誘電体膜22に印加するバイアスをゼロとする。これにより、データ保持中にバイアスの影響を受けて分極が変化することはなくなる。

【0082】よって、本発明によると、データ“1”を残留分極が下向きにある状態に対応させ、データ“0”を残留分極が上向きの飽和状態に達しない範囲に対応させて、データの書き込み、書き換え、保存及び読み出しを行なっているので、データ“0”のときのディスタ urb に起因する読み出し電流の変化を小さくすることができ、読み出し精度の向上を図ることができる。

【0083】特に、本実施形態のごとく、データ“0”を分極がほぼ0の状態に対応させることにより、読み出し精度の向上効果を顕著に発揮することができる。

【0084】なお、本実施形態においては、データ

“0”のときに分極がほぼ0にするような書き込み、書き換えを行なうようにしたが、本発明はかかる実施形態に限定されるものではなく、データ“1”のときに分極がほぼ0になるように設定することもできる。

【0085】なお、本実施形態においては、MF MIS構造の強誘電体FETに本発明を適用したが、図1に示すMF IS構造の強誘電体FETに本発明を適用しても、同じ効果を発揮することができる。

【0086】また、本実施形態においては、第1中間ゲート電極18、シリコン酸化膜12及びシリコン基板11によって構成される常誘電体キャパシタの容量値は変わらないが、制御ゲート電極23、強誘電体膜22及び第2中間ゲート電極21によって構成される強誘電体キャパシタの容量値は、図5に示す点aの位置と点bの位置とは変わっている。つまり、キャパシタの容量値は、ヒステリシス特性曲線上の傾きに相当するからである。また、制御ゲート電極23—シリコン基板11間に印加される電圧は、常誘電体キャパシタと強誘電体キャパシタとに分配される。したがって、強誘電体キャパシタの容量値が大きいほど、制御ゲート電極23—シリコン基板11間に印加される電圧の強誘電体キャパシタへの分配率が小さくなる。このように、強誘電体キャパシタの容量値の変化に応じて、制御ゲート電極23に印加された電圧値の分配割合が変化することから、電流値が変化し、データの区別がより容易になる。

【0087】(第3の実施形態)次に、インプリントを防止するための構成に関する第3の実施形態について説明する。

【0088】上記第2の実施形態により、ディスタープに起因する読み出し時のバイアスの変化を抑制することができるが、従来技術において説明したように、インプリントにより、長期間保持した後読み出されたソースドレイン間電流 I_{ds} のレベルが初期のそれと異なることを防止することは困難である。

【0089】そこで、本実施形態では、強誘電体膜22の分極状態が図5に示す点a(データ“1”)であるように一旦書き込み、この分極状態において、予め強制的にデータ“1”のインプリントを誘起する。したがって、従来の半導体記憶装置の製造方法に対する本実施形態の半導体記憶装置の特徴は、通常の半導体記憶装置の製造工程において、データ“1”を書き込んだ後、インプリントを誘起する工程を付加していることにある。

【0090】図6は、本実施形態における半導体記憶装置の強誘電体FET(図4参照)の製造工程の一例を示すフローチャート図である。

【0091】まず、ステップST11で、ウェハ拡散工程を行なう。この工程においては、シリコン酸化膜12、第1中間ゲート電極18の形成、シリコン基板11への不純物のイオン注入によるソース領域15及びドレイン領域16の形成、第1中間ゲート電極18上への第

2中間ゲート電極21、強誘電体膜22、制御ゲート電極23の形成、層間絶縁膜(図示せず)上への配線25、26の形成を行なう。

【0092】次に、ステップST12で、強誘電体FETの強誘電体膜の電気的機能を検査する。この工程では、強誘電体膜22の電圧—分極特性などの諸特性が適正か否かを検査する。

【0093】次に、ステップST13で、すべての強誘電体FETにデータ“1”を書き込む。つまり、強誘電体膜22に下向きの分極を生じさせる。しかるのち、強誘電体FETの強誘電体膜22を加熱することにより、データ“1”の方向にインプリントを誘起する。このとき、たとえば150℃で約10時間の加熱を実施すると、強誘電体膜22のヒステリシス曲線は、当初データ“1”の方向、つまり下向きの分極が大きくなる方向に偏位する(つまり、インプリントが誘起される)が、ある時点からこの偏位がほぼ停止する。すなわち、それ以上のインプリントの進行は極めて少ない。

【0094】図7は、ステップST13における強誘電体膜22のヒステリシス特性の変化を示すヒステリシス特性図である。図7において、横軸は制御ゲート電極23—第2中間ゲート電極21間に印加する電圧を表し、縦軸は強誘電体膜22に生じる分極を下向き方向を正として表している。同図に示すように、強誘電体膜22の初期のヒステリシス特性は図中の一点鎖線で表される曲線であるが、インプリントが誘起されると、強誘電体膜22のヒステリシス特性は図中の破線で表される曲線に示される特性に移行する。そして、強誘電体膜22にデータ“1”が保持されている場合には、インプリントが誘起された後のヒステリシス曲線は、抗電圧(点b'の電圧値)が初期のヒステリシス特性における抗電圧から電圧軸方向に約-0.2Vだけ偏位するように変化する。そして、強誘電体膜22にインプリントが誘起された後も、点aから点a"に向かう曲線の傾きと点bから点a"に向かう曲線の傾き(すなわち、データ“1”が書き込まれた強誘電体膜22のキャパシタ容量とデータ“0”が書き込まれた強誘電体膜22のキャパシタ容量)との間には十分な差があるので、読み出し電圧 V_R を制御ゲート電極に接続された第1の配線25に印加すれば、第1中間ゲート電極18に誘起される電圧はデータ“1”とデータ“0”によって十分な違いが現れる。つまり、データの読み出し精度を良好に保持することができる。

【0095】次に、ステップST14で、強誘電体膜22のベークを行なった後、ステップST15で、すべての強誘電体FETのデータ“1”を消去する。この例では、すべての強誘電体FETにデータ“0”を書き込むことになる。このとき、インプリントの誘起によってヒステリシス曲線が偏位した強誘電体膜22が保持しているデータ“1”をデータ“0”に書き換えるには、図7

に示すように、分極状態が点aから点b'まで移動するように-1Vよりも絶対値が大きい負の電圧を強誘電体膜22に印加すればよい。この動作は、制御ゲート電極23に接続された第1の配線25を接地電位とし、第2中間ゲート電極21に接続された第2の配線26に1V以上の電圧を与えることによって実施できる。また、強誘電体FETの強誘電体膜22をその強誘電体の相転移温度以上に加熱することによっても同様の効果が得られる。

【0096】ただし、強誘電体膜22に下向きの分極が存在する状態のまま、強誘電体FETをメモリセルとして使用することも可能である。その場合、強誘電体膜22に下向きの分極が残留している状態をデータ“0”とし、強誘電体膜22に分極がほとんど存在しない状態をデータ“1”とすることができる。

【0097】以上のように、データ“1”を保持した状態で予めインプリントを誘起しておけば、インプリントによってデータ“1”の読み出し信号のレベルが初期状態から変化していくことはない。また、データ“0”については、本実施形態においては分極がほぼゼロの状態をこれに対応させているので、インプリントは起こりようもない。したがって、本実施形態によれば、データ“1”およびデータ“0”いずれの状態に対してもインプリントの進行はほとんどないので、読み出し信号のレベルが初期の値から変化することはない。また、本実施形態の強誘電体FETによる効果は、本実施形態の強誘電体FETをマトリクス状に配置して、強誘電体FETの制御ゲート電極23をワード線となる第1の配線25に接続し、強誘電体FETのドレイン領域16をビット線に接続したメモリセルアレイを構成した場合にも得られる。

【0098】(その他の実施形態)図12は、いわゆるMFMI S構造を有する強誘電体FETの断面図である。同図に示すように、強誘電体FETは、シリコン基板11の上に設けられたシリコン酸化膜12と、シリコン酸化膜12の上に設けられたP_nなどの導体材料からなる中間ゲート電極31と、中間ゲート電極31の上に設けられ、ジルコナーチタン酸鉛(PZT)またはタンタル酸ビスマスストロンチウム(SBT)などの金属酸化物からなる強誘電体膜32と、強誘電体膜32の上に設けられたP_nなどの導体材料からなる制御ゲート電極33と、シリコン基板11内における中間ゲート電極31の両側方にそれぞれ設けられたソース領域15及びドレイン領域16とを備えている。そして、シリコン基板11のうちシリコン酸化膜12の下方に位置する領域がチャネル領域17となっている。また、制御ゲート電極33は第1の配線35に接続され、中間ゲート電極31は第2の配線36に接続されている。

【0099】このような強誘電体FETを半導体記憶装置のメモリセルとして、上記第2の実施形態と同様に、

データの書き込み、書き換え、読み出しを行なうことができ、第2の実施形態と同様の効果を発揮することができる。また、図12に示す強誘電体FETを半導体記憶装置のメモリセルとして、上記第3の実施形態と同様に、強誘電体膜32に下向きの分極へのインプリントを生じさせるための処理を行なうことができる。

【0100】

【発明の効果】本発明によれば、強誘電体膜に電圧が印加されていないときに一方の分極が残留している状態を第1論理値とし、他方の分極が残留している状態から分極がほぼ残留していない状態までを第2論理値として、データを記憶しておくようにしたので、分極がほとんど残留していないときにも、第1論理値と第2論理値とを区別してデータの読み出しを行なうことが可能になり、データの読み出し精度の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のMFMI S構造の強誘電体FETの断面図である。

【図2】第1の実施形態の読み出し時におけるゲートバイアスの設定方法を説明するための図である。

【図3】(a)、(b)、(c)は、それぞれ順に、第1の実施形態の強誘電体FETの強誘電体膜中における残留分極が下向き、上向き及びほぼ0の時の読み出し時におけるエネルギーバンド図である。

【図4】本発明の第2の実施形態における半導体記憶装置のメモリセルの断面図である。

【図5】第2の実施形態におけるデータの書き込み動作を電圧-分極座標上で説明するためのヒステリシス特性図である。

【図6】本発明の第3の実施形態における半導体記憶装置の強誘電体FETの製造工程の一例を示すフローチャート図である。

【図7】第3の実施形態の熱処理工程における強誘電体膜22のヒステリシス特性の変化を示すヒステリシス特性図である。

【図8】従来のMFMI SFET型の強誘電体FETの断面図である。

【図9】(a)、(b)、(c)は、それぞれ順に、従来の強誘電体FETの強誘電体膜中における残留分極が下向き、上向き及びほぼ0の時のエネルギーバンド図である。

【図10】強誘電体FETのゲート電極への印加電圧とソースドレイン間の電流との関係を示す特性図である。

【図11】このディスタープ現象を説明するためのヒステリシス特性図である。

【図12】第2の実施形態をMFMI S構造を有する強誘電体FETに適用した例を示す断面図である。

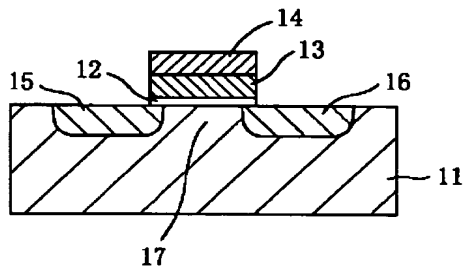
【符号の説明】

11 シリコン基板

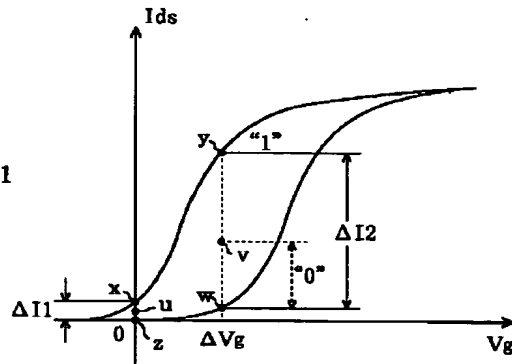
- 12 シリコン酸化膜
13 強誘電体膜
14 ゲート電極
15 ソース領域
16 ドレイン領域
17 チャネル領域

- 18 第1中間ゲート電極
21 第2中間ゲート電極
22 強誘電体膜
23 制御ゲート電極
25 第1の配線
26 第2の配線

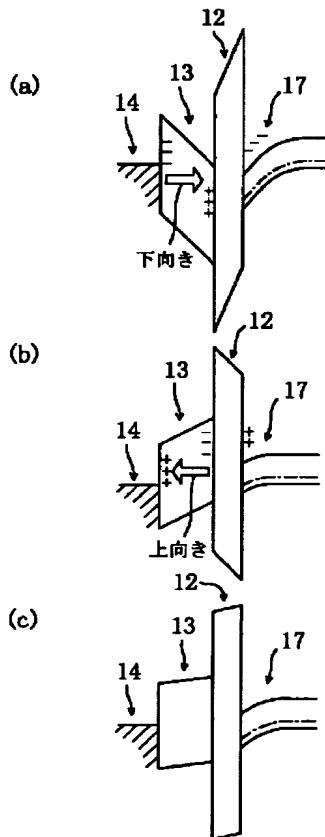
【図1】



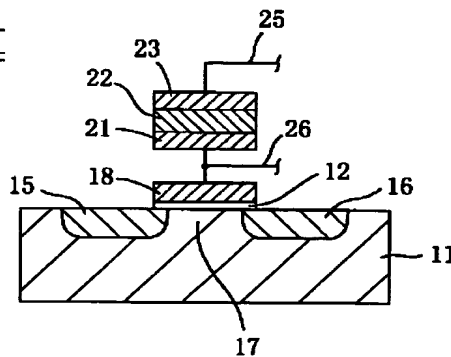
【図2】



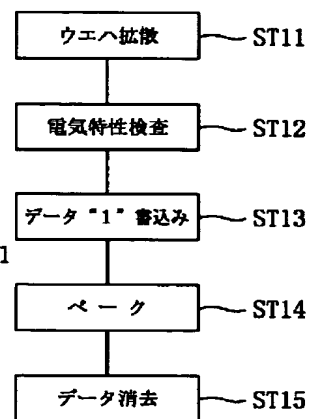
【図3】



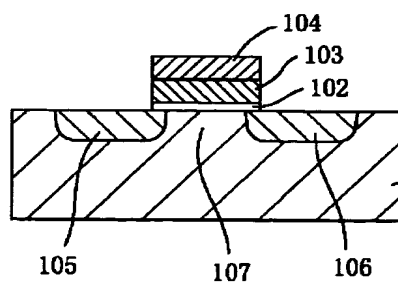
【図4】



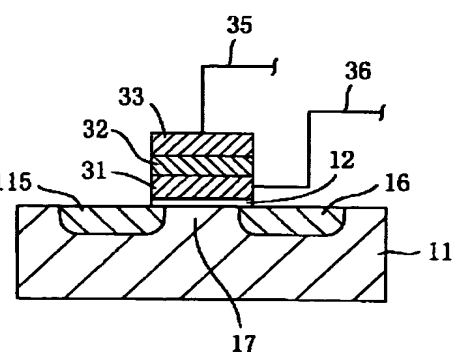
【図6】



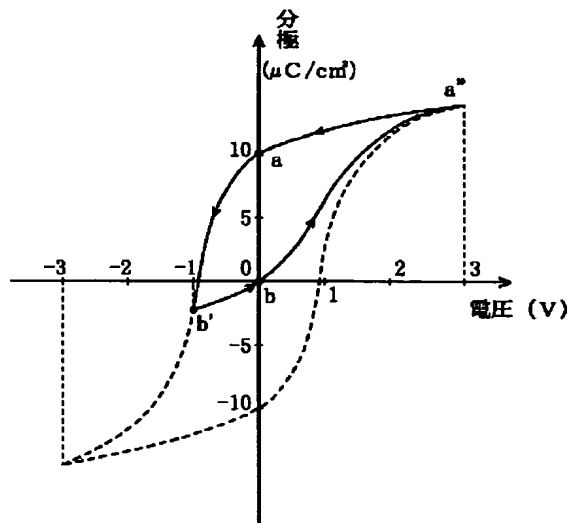
【図8】



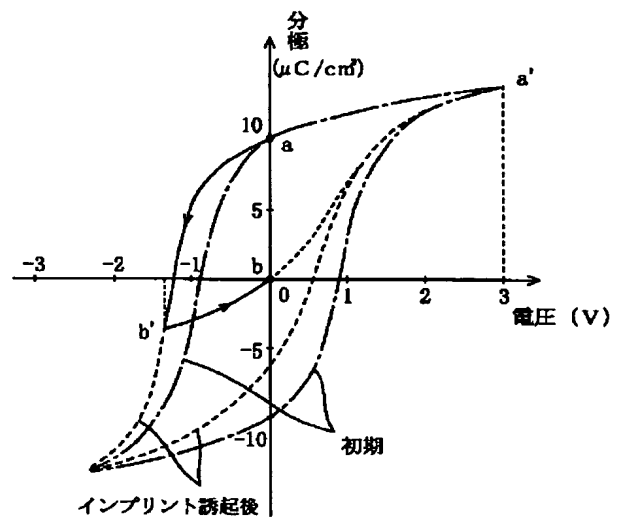
【図12】



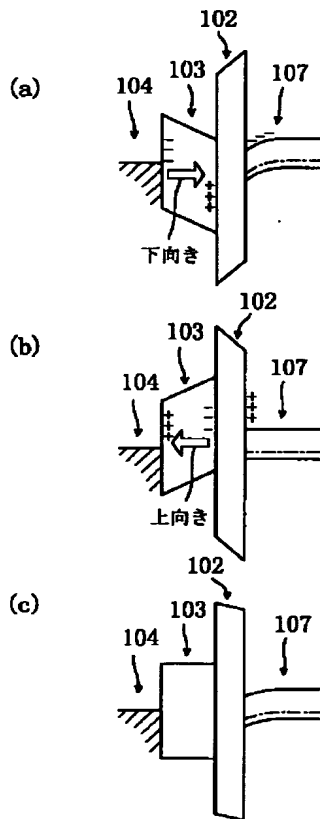
【図5】



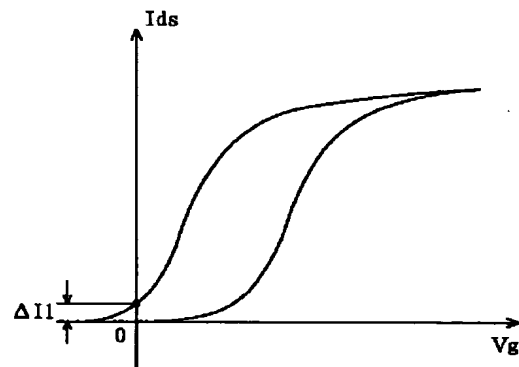
【図7】



【図9】



【図10】



【図 11】

